

基于并行预测的前导零预测电路设计

孙岩 张鑫 金西

(中国科学技术大学物理系微电子学教研室 合肥 230026)

摘要: 前导零预测电路是提高浮点加法器运算速度的一个重要手段,本文提出了一种适用于高速浮点加法器的前导零预测电路。它采用了独特的并行预测算法来分别预测做浮点减法运算时结果为正和为负的两种情况下的前导零数,再通过尾数运算结果的进位来判断运算结果的正负并对前导零预测的结果进行选择。该方法使得浮点减法运算前无需比较尾数的大小,且并行的预测算法共用部分逻辑电路,从而使加法器在运算速度提高的基础上降低了加法器的面积。最终的验证结果表明该方法正确有效。

关键词: 前导零预测电路; 浮点加法器; IEEE754; 并行预测

中图分类号: TP39 **文献标识码:** A

Design of leading zero anticipation circuit based on parallel anticipation

Sun Yan Zhang Xin Jin Xi

(Institute of Microelectronics Department of Physics, USTC, Hefei 230026)

Abstract: The algorithm and its implementation of the leading-zero anticipation(LZA) is very vital for the performance of a high-speed floating-point adder in today's microprocessor design. Unfortunately, most LZA based on the assumption that the output of the adder is always positive, which means the two operators have to be compared before the addition. This paper presents a new LZA logic for high-speed floating-point addition. It introduces a pair of fast parallel anticipatory arithmetic to anticipate leading-zero bits of the result of subtraction without knowing whether the result is positive or negative, thus it doesn't need to compare the fractions of the two operators before the addition. At the same time the proposed parallel logics share part of the circuit. Therefore, not only the speed of the adder rises but also the area declines. The evaluation of this algorithm is also presented in this paper and the results of the simulation demonstrate that this method is valid.

Keywords: leading-zero anticipatory circuit; floating-point addition; IEEE754; parallel anticipation

0 引言

在浮点处理器中,由于这加、减指令使用最为频繁,浮点加法器(floating-point addition FADD)的性能至关重要。浮点加法的实现需要几个功能模块来组成,包括符号的运算、尾数加减运算、指数的移位对齐、规格化运算以及按IEEE754标准舍入^[1]等。在IEEE754标准中,浮点数包括符号、指数和尾数部分,其中尾数都是以绝对值的形式进行存储或运算。前导零预测电路是通过尾数减法运算结果的前导零预测来减少规格化运算所需的时间。

1 浮点加/减运算

a 和 b 表示浮点数的指数部分和尾数部分, S_a 和 S_b 表示这两个浮点数的符号, O_{pa} 和 O_{pb} 表示对两个浮点数的操作,所以操作可以表示为: $O_{pa}(S_a * a) O_{pb}(S_b * b)$, 共有 16 种情况,如表 1 所示。

表 1 浮点加/减运算一览表

$(a) + (b) = (a+b)$	$(a) + (-b) = (a-b)$
$(-a) + (-b) = -(a+b)$	$(-a) + (b) = -(a-b)$
$(a) - (-b) = (a+b)$	$(a) - (b) = (a-b)$
$(-a) - (b) = -(a+b)$	$(-a) - (-b) = -(a-b)$
$- (a) + (-b) = -(a+b)$	$- (a) + (b) = -(a-b)$
$- (-a) + (b) = (a+b)$	$- (-a) + (-b) = (a-b)$
$- (a) - (b) = -(a+b)$	$- (a) - (-b) = -(a-b)$
$- (-a) - (-b) = (a+b)$	$- (-a) - (b) = (a-b)$

表 1 中表示的操作最终都可以化简为两种类型运算: $\pm(a+b)$ 和 $\pm(a-b)$, 所以只需做 $a+b$ 和 $a-b$ 运算。加(或正)为 0, 减(或负)为 1。式(1)中 S_{ab} 为 0 时该运算为加法运算; S_{ab} 为 1 时该运算为减法运算: $\pm(a-b)$ 。

$$S_{ab} = O_{pa} \oplus O_{pb} \oplus S_a \oplus S_b \quad (1)$$

在做浮点加法或减法时,首先判断两个操作数指数的大小,将指数小的操作数的尾数右移相应的位数,再将尾数相加减。

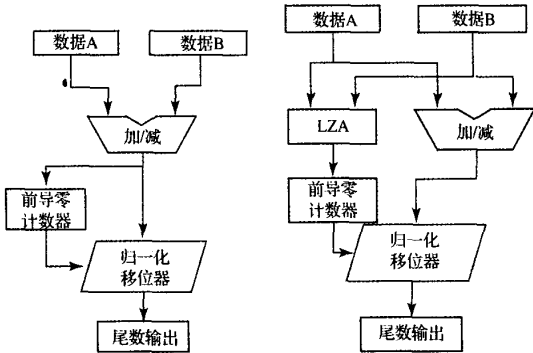


图 1 不采用前导零预测电路与采用前导零预测电路的比较

如果在加/减计算之后将计算结果进行前导零计数再归一化就会产生很大的延迟。使用前导零预测电路使前导零计数与加/减运算同时进行就会大大减少延迟,如图 1 所示。前导零预测电路的原理是通过简单的逻辑电路预测出两个尾数加/减结果的首个“1”的位置,再通过首零计数器算出需要左移的位数,从而在结果计算出来后即可立即通过桶形移位器进行左移操作,使首个“1”移到最左端。

2 基于并行预测的前导零预测电路

2.1 已有工作的分析

围绕前导零预测电路已经有了很多的研究并得到广泛的应用^[2-7]。有些 LZA 是在计算结果为正数的情况下才能进行预测^[2-3],大多数的 LZA 预测结果与真实的结果相差 1 位^[4],但由于其速度快,占用面积少等优点而广泛应用于浮点运算单元中。在文献[2]中提供一种典型的快速 LZA 电路,但它建立在减法的结果为正数的基础上,所以该电路必须在计算之前比较两个操作数并调换两个操作数的位置,这无疑增加了加法器的延时和功耗。本文提出的方法无须提前比较两个操作数的大小,采用两种算法分别预测结果为正和负的两种情况,并且这两种算法可以很好的结合在一起从而节省了加法器的面积。在预测结果偏差 1 位的解决上,通过选择器来输出最终的结果,这和采用最后移位的方法^[2]相比减小了延时,比采用并行探测是否有偏差的 LZA 电路^[7-8]节省了面积。

2.2 并行预测的前导零预测电路设计

在运算加法(a+b)时,由于尾数中省略了首位的 1,在首位补 1 后将指数小的位数右移,所以相加时 A、B 中至少有一个数的首位为 1,预测值 Q 的首位即为 1,如图 2 所示。这时无需进行前导零预测,此时前导零的计算结果可能会差一位,需要在相加后进行一位调整。

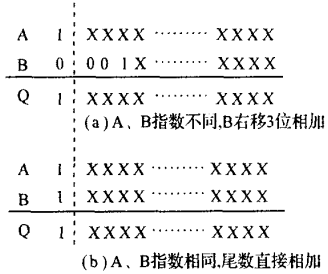


图 2 指数不同与指数相同时的运算

以双精度浮点数为例,最高位为符号位,11 位指数位和 52 位尾数位,由于尾数的首位“1”被省略,所以在运算时先要在 52 位尾数前加一位“1”,即 A 和 B 都为 53 位。在 A-B 的运算中对 A>B 和 A≤B 两种情况分别进行前导零预测。当 A>B 时,A-B=A+ \bar{B} +1>0,A+ \bar{B} +1 必定会向第 54 位进位,所以此时前导零预测可由式(2)求出。当 A≤B 时,A-B=A+ \bar{B} +1≤0,A+ \bar{B} +1 必定不会向第 54 位进位,并且所得到的尾数结果是以绝对值形式存储,所以此时前导零预测可由式(3)求出。

$$Q_i = \begin{cases} (A_i e \bar{B}_i) g(A_{i-1} + \bar{B}_{i-1}) & i = 1, 2 \dots, m \\ (A_i e \bar{B}_i) & i = 0; \end{cases} \quad (2)$$

$$R_i = \begin{cases} (A_i e \bar{B}_i) g(\overline{A_{i-1} g \bar{B}_{i-1}}) & i = 1, 2 \dots, m \\ (A_i e \bar{B}_i) & i = 0; \end{cases} \quad (3)$$

其中 m 为尾数前补“1”后的位数。公式(2)和(3)所预测的前导零位数都与实际的前导零位数相同或少一位,在少一位的情况将在最后结果进行归一化移位时进行调整。图 3 中例举了尾数为 10 位的 A-B 的 4 种情况,Q 和 R 为前导零预测的结果,C 为实际运算的结果。

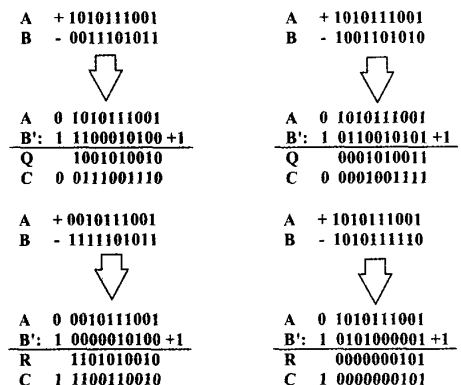


图 3 前导零预测举例

采用这两种算法的 LZA 电路可以共用异或非单元并有相同的输入逻辑,其电路结构如图 4 所示,表示的是长度为 m 位的前导零预测。通过此预测电路就无需提前判断尾数 A 和 B 的大小。

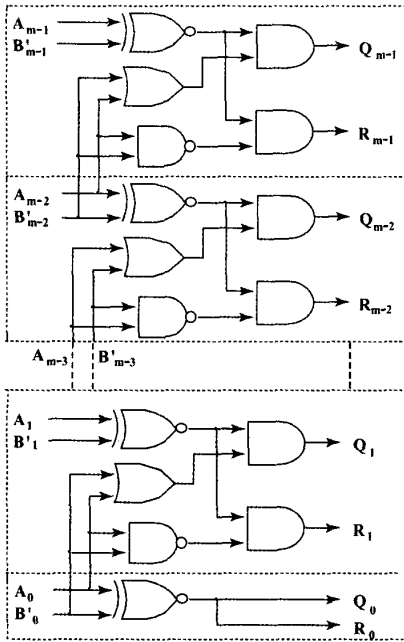


图 4 前导零预测电路具体结构

2.3 采用并行预测算法 LZA 的减法运算电路

由于前导零预测电路用于减法运算,在图 5 中给出了减法运算的指数和尾数部分的结构图。

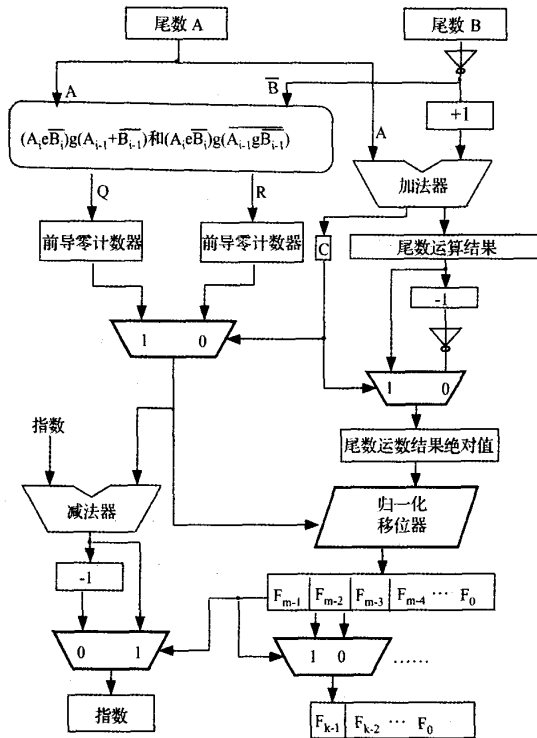


图 5 采用前导零预测电路的浮点减法电路结构

图 5 中的尾数 A 和尾数 B 是经过首位补“1”、尾数末位扩展、指数比较并移位后的尾数。A 和 B 运算后产生进位位 C,通过 C 对 Q 和 R 的前导零计数结果进行选择,并控制是否需要将结果转化为绝对值形式。另外进位位 C 和 +/− 控制信号以及原操作数的符号共同决定最终结果的符号位。计算结果由桶形移位器进行归一化移位,如果前导零预测完全正确则将首个“1”移到最高位,按照 IEEE754 标准舍去首位的“1”,从第 m−2 位开始取相应的位作为最终结果的尾数,同时将原操作数较大的指数减去前导零的个数作为最终结果的指数。当前导零预测结果比实际少 1 位时,桶形移位器会将首个“1”移到第 m−2 位,此时从第 m−3 位开始取相应的位作为最终结果的尾数,同时将原操作数较大的指数减去前导零的个数再减 1 后作为最终结果的指数。这两处选择操作由第 f_{m-1} 位进行控制。对于加法运算只需增加一些选择逻辑,而无需进行前导零预测和前导零计数。

3 综合与验证

在 SMIC 0.13μm 工艺下,该并行预测的 LZA 逻辑的面积是文献[2]中所采用的 LZA 逻辑面积的 1.8 倍,而文献[2]中的 LZA 逻辑的面积只占整体前导零预测电路面积的 25%,所以该预测逻辑通过增加较小的面积而舍去了运算前对尾数大小的比较。同时该并行预测的 LZA 逻辑电路不在加法器的关键路径上,从而加快了加法器的运算速度。

在 VCS 环境下对采用该方法的双精度浮点运算的前导零预测电路进行代码覆盖率为 100% 的验证,结果表明该算法正确。

4 结 论

本文给出了一种快速的前导零预测方法,在减法运算 A−B 中对 A>B 和 A≤B 两种情况同时进行前导零探测并共用部分逻辑电路,再由尾数运算结果的进位位选择预测结果。该设计以增加很小的芯片面积为代价,免去了运算前对指数相同时操作数大小比较,该比较电路被减去,从而较大减少了延迟并降低了浮点加法器的面积。

参 考 文 献

[1] American National Standard Institute and Institute of Electrical and Electronic Engineers [S]. IEEE Standard for binary Floating Point Arithmetic. ANSI/IEEE Standard, std. 1985,745.
 [2] SUZUKI H, MORINAKA H. Leading-Zero Anticipatory Logic for High-speed Floating Point Addition[J]. IEEE Journal of Solid-State Circuits, 1996,31(8).
 [3] BRUGUERA J, LANG T. Leading-One Prediction with Con-current Position Correction [J]. IEEE

Transactions on Computers, 1999, 48(10): 298-305.

- [4] SCHMOOKLER M S, NOWKA K J. Leading Zero Anticipation and Detection - A Comparison of Methods[J]. Proc. of the 15th IEEE Symposium on Computer Arithmetic, 2001.
- [5] SEIDEL P M, EVEN G. Delay-Optimized Implementation of IEEE Floating-Point Addition[J]. IEEE Transactions on Computers, 2004, 53(2).
- [6] BEAUMONT S A, BURGESS N, LEFRERE S, et al. Reduced Latency Floating-Point Standard Adder Architectures[J]. IEEE Computer Arithmetic, 1999: 35 - 42.
- [7] SUN H P, GAO M L. Unified Bit Pattern for Leading-Zero Anticipatory Logic for High-speed Floating-point Addition[J]. Signal Processing and Information Technology, Proceedings of the 3rd IEEE International Symposium on 14-17 Dec. 2003: 786 - 789.
- [8] ZHANG G, QI Z C, HU W W. A Novel Design of Leading Zero Anticipation Circuit With Parallel Error Detection [J]. IEEE International Symposium on Circuits and Systems, 2005: 676 - 679.

作者简介

孙岩,男,1982年7月出生,中国科技大学微电子学与固体电子学专业在读硕士研究生,主要研究方向为微电子学与固体电子学、VLSI 芯片设计。



张鑫,男,1983年5月出生,中国科技大学微电子学与固体电子学专业在读硕士研究生,主要研究方向为微电子学与固体电子学、SoC 芯片设计。



金西,男,1970年10月出生,安徽合肥人,副教授,硕士生导师,主要研究方向为 SoC 设计及测试、VLSI CAD、嵌入式系统应用。



E-mail: jinxi@ustc.edu.cn

(上接第76页)

作者简介

韩可,男,1980年出生,汉族,山东成武人,北京邮电大学电子工程学院博士研究生,微电子学与固体电子学专业,主要研究方向为集成电路设计与测试方法学。
E-mail: hankev@gmail.com



邓中亮,男,1965年出生,汉族,籍贯湖南,教授,博士生导师,现任北京邮电大学电子工程学院院长。主要研究方向为 SOC 设计与 CAD 技术,智能通信终端设计。

施乐宁,男,1982年出生,汉族,浙江嘉兴人,北京航空航天大学电子信息工程学院硕士研究生,电路与系统专业,主要研究方向为 SOC 设计与验证。

(上接第79页)

- [8] SALAMI R, LAFLAMME C, BESSETTE B, et al. ITU-T G. 729 Annex A: Reduced complexity 8 kb/s CS-ACELP codec for digital simultaneous voice and data[J]. IEEE Commun. Mag. 1997, 35: 56-63.
- [9] 刘为超. G. 729 语音编码算法研究及其 DSP 的实现[D]. 湖南:湖南大学,2005.
- [10] 李锦宇,罗薪,王仁华. ITU-T G. 729 算法及其实时实现 [J]. 电子技术应用, 2000(2): 50-52.

作者简介

罗珍,女,1982年出生,四川成都人,北京航空航天大学电子信息工程学院微电子与固体电子专业 2004 级硕士研究生,2004 年毕业于北京航空航天大学电子信息工程学院。



E-mail: zhenzhu_sunny@hotmail.com

董金明,北京航空航天大学,电子信息工程学院,EDA 教研室,硕士生导师,主要研究方向是电路与系统、集成电路设计、微波技术和天线罩设计。